

**PC WELT**

Mai/Juni/Juli 03/2004

www.tecChannel.de

SONDERHEFT

Empfohlen als  
Vorlesungsskript an  
Hochschulen

tecCHANNEL

# tecCHANNEL COMPACT

KOMPENDIUM FÜR IT-PROFIS

€ 9,90 Österreich € 10,90 Benelux € 11,40 Schweiz SFR 19,80

# Prozessor- Technologie

- Rechnerarchitekturen
- Performance-Optimierung
- Alternative CPU-Designs

## GRUNDLAGENWISSEN

für Beruf, Studium und  
Ausbildung im IT-Bereich

### RISC & CISC

- › Aufbau, Pipeline, Befehlssatz
- › Performance-Analysen

### MULTITHREADING

- › Multiskalar versus SMT
- › Vom Microthread zum Hyperthread

### SUPERSKALARE CPUs

- › Von MIPS R10000 bis Pentium 4
- › Parallelisierung & Spekulation

### ENTWICKLUNGSTRENDS

- › Reconfigurable Computing:  
High-Performance mit Xputer  
und Sputer

### COMPILER-TECHNOLOGIE

- › Optimierung durch Predication,  
Hyperblocks & Loop Unrolling

### VLIW-ARCHITEKTUREN

- › Intel Itanium im Detail:  
EPIC, Data Speculation,  
Prediction, Rotating



4 195914 909900

# Impressum

Chefredakteur: Michael Eckert (verantwortlich, Anschrift der Redaktion)

Chef vom Dienst / Textchef: Kerstin Lohr

Grafik: stroemung, Michael Rupp, Oliver Eismann, Köln; h2design, München; Yvonne Reittinger, Wien

## Redaktion tecCHANNEL:

Leopoldstraße 252b, 80807 München, Tel. 0 89/3 60 86-897, Fax: -878

Homepage: [www.tecChannel.de](http://www.tecChannel.de), E-Mail: [redtecchannel@idginteractive.de](mailto:redtecchannel@idginteractive.de)

Autoren dieser Ausgabe: Prof. Dr. Christian Siemers, Michael Eckert, Albert Lauchner

Korrektorat: Claudia Feige

**Copyright:** Das Urheberrecht für angenommene und veröffentlichte Manuskripte liegt bei der IDG Interactive GmbH. Eine Verwertung der urheberrechtlich geschützten Beiträge und Abbildungen, insbesondere durch Vervielfältigung und/oder Verbreitung, ist ohne vorherige schriftliche Zustimmung des Verlags unzulässig und strafbar, soweit sich aus dem Urheberrechtsgesetz nichts anderes ergibt. Eine Einspeicherung und/oder Verarbeitung der auch in elektronischer Form vertriebenen Beiträge in Datensysteme ist ohne Zustimmung des Verlags nicht zulässig.

## Anzeigen:

Anzeigenleitung: Dirk Limburg, Tel.: 0 89/3 60 86-871

Anzeigendisposition: Rudolf Schuster (leitend), Tel. 0 89/3 60 86-135, Fax -328

Anzeigentechnik: Martin Mantel, Andreas Mallin

Digitale Anzeigenannahme: Thomas Wilms (leitend), Tel. 0 89/3 60 86-604, Fax -328

## Vertrieb / Produktion:

Vertrieb: Josef Kreitmair (leitend), Katrin Elsler

Vertriebsmarketing: Peter Prieswasser (leitend), Stefanie Kusseler

Vertrieb Handelsauflage: MZV Moderner Zeitschriften Vertrieb, Breslauer Straße 5, 85386 Eching, Tel.: 0 89/3 19 06-0, Fax: -113, E-Mail: [mzv@mzv.de](mailto:mzv@mzv.de), Website: [www.mzv.de](http://www.mzv.de)

Produktionsleitung: Heinz Zimmermann

**Druck:** Schoder Druck, Gutenbergstraße 12, 86368 Gersthofen

**Haftung:** Eine Haftung für die Richtigkeit der Beiträge können Redaktion und Verlag trotz sorgfältiger Prüfung nicht übernehmen. Die Veröffentlichungen im tecCHANNEL-Compact erfolgen ohne Berücksichtigung eines eventuellen Patentschutzes. Auch werden Warennamen ohne Gewährleistung einer freien Verwendung benutzt.

**Verlag:** IDG Interactive GmbH, Leopoldstraße 252b, 80807 München, Tel.: 0 89/3 60 86-0, Fax: -501

**Verlagsleitung:** Frank Klinkenberg

**Geschäftsführer:** York von Heimbürg

**Vorstand:** Keith Arnot, York von Heimbürg, Pat Kenealy

**Aufsichtsratsvorsitzender:** Patrick McGovern

Veröffentlichung gemäß § 8, Absatz 3 des Gesetzes über die Presse vom 8.10.1949: Alleiniger Gesellschafter der IDG Interactive GmbH ist die IDG Communications Verlag AG, München, eine 100-prozentige Tochter der IDG Inc., Boston, Mass., USA.

tecCHANNEL-Compact erscheint im Verlag der PC-WELT. Darüber hinaus gehören zu unserer Verlagsgruppe folgende Zeitschriften:



## Leser- und Abo-Service:

Dialog-Service-Center GmbH, Konrad-Zuse-Straße 16, 74172 Neckarsulm, Telefon: 0 18 05/9 99-802, Fax: 0 71 32/9 59-166, E-Mail: [tecchannel@d-s-center.de](mailto:tecchannel@d-s-center.de)

# Inhalt

	<b>Editorial</b>	<b>3</b>
	<b>Impressum</b>	<b>4</b>
<b>1.</b>	<b>Einleitung</b>	<b>10</b>
<b>2.</b>	<b>Von-Neumann-Prozessor</b>	<b>11</b>
<b>2.1</b>	<b>Grundkonzept</b>	<b>11</b>
2.1.1	Teilsysteme des Von-Neumann-Rechnermodells	12
2.1.2	Ablaufprinzip des Von-Neumann-Rechners	13
<b>2.2</b>	<b>Bussysteme</b>	<b>16</b>
2.2.1	Grundsätzlicher Aufbau: in- und externe Busse	16
2.2.2	Adress-, Daten- und Steuerbus im zeitlichen Verhalten	18
2.2.3	Vergleich des synchronen und semi- synchronen Busprotokolls	21
<b>2.3</b>	<b>Speicher</b>	<b>22</b>
<b>2.4</b>	<b>Leit- und Rechenwerk</b>	<b>23</b>
2.4.1	Register im Leit- und Rechenwerk	23
2.4.2	Aufgaben des Leitwerks	24
2.4.3	Rechenwerk	24
<b>2.5</b>	<b>Registermodell</b>	<b>25</b>
2.5.1	Programmzähler	26
2.5.2	Statusregister	27
2.5.3	Stackpointer	28
2.5.4	Datenregister	29
2.5.5	Klassifizierung von Prozessoren gemäß Operandenzugriff	30
<b>2.6</b>	<b>Befehlssatz</b>	<b>31</b>
<b>2.7</b>	<b>Adressierungsarten im Von-Neumann-Prozessor</b>	<b>33</b>
2.7.1	Adressierungsarten im Einzelnen	34
	Implizite Adressierung	34
	Registerdirekte Adressierung	35
	Registerindirekte Adressierung	35
	Unmittelbare Adressierung	35
	Speicherdirekte Adressierung	36
	Speicherindirekte Adressierung	36
	Indizierte Adressierung	37
	Absolute Adressierung	37
	Absolut indirekte Adressierung	37
	Relative Adressierung	38
2.7.2	Minimaler Satz von Adressierungen	38

<b>2.8</b>	<b>Phasen der Befehlsbearbeitung</b>	<b>39</b>
<b>2.9</b>	<b>Interrupt-Konzept im Von-Neumann-Prozessor</b>	<b>40</b>
2.9.1	Konzept der Behandlung von Interrupts	41
2.9.2	Anwendungen	43
	Ein- und Ausgabe	43
	Betriebssysteme	43
	Fehlerbehandlung	43
2.9.3	Notwendige Erweiterungen im Prozessor	44
<b>3.</b>	<b>Klassifizierungssysteme für Prozessoren</b>	<b>45</b>
<b>3.1</b>	<b>Bestimmende Begriffe der Rechnerarchitektur</b>	<b>45</b>
<b>3.2</b>	<b>Klassifizierungen von Rechnerarchitekturen</b>	<b>47</b>
3.2.1	Die Klassifizierung nach Flynn	47
3.2.2	Das Erlanger Klassifizierungssystem ECS	47
<b>3.3</b>	<b>Benchmarks</b>	<b>50</b>
3.3.1	Maßzahlen zur Bewertung von Mikro-Controllern	50
	Performance	50
	Anwendungsspezifischer Leistungsverbrauch	50
	Clock Cycles per Instruction (CPI)	51
	Clockrate	51
	Codedichte (Code-Density)	51
	Kontextwechselzeit	52
	Interrupt-Antwortzeit	52
	Interrupt-Overhead-Zeit	52
<b>4.</b>	<b>Einführung RISC-Architektur</b>	<b>53</b>
<b>4.1</b>	<b>Analyse der Befehlssätze</b>	<b>55</b>
<b>4.2</b>	<b>Konsequenzen für eine RISC-CPU</b>	<b>58</b>
<b>4.3</b>	<b>MPM3: Beispiel für ein Prozessormodell mit Phasen-Pipelining</b>	<b>59</b>
4.3.1	Prozessor-Architekturklasse und Programmiermodell	59
4.3.2	Instruktionssatz MPM3	60
4.3.2.1	Das 3-Register-Format	61
4.3.2.2	Das 2-Register-Format	61
4.3.2.3	Das „Register, Data“-Format	62
4.3.2.4	Allgemeines Kodierungsformat	62
4.3.3	Instruktionsgruppen und Adressierungen	63
4.3.3.1	Transferbefehle	63
4.3.3.2	Arithmetisch-logische Befehle im MPM3	64
4.3.3.3	Flag-Befehle	65
4.3.3.4	Kontrollfluss-Befehle	65
4.3.3.5	Codetabelle für MPM3	66
4.3.4	Ablauf der Instruktionen im MPM3	67

---

---

<b>4.4</b>	<b>Pipeline-Struktur</b>	<b>67</b>
4.4.1	Daten-Hazards	68
4.4.2	Strukturelle Hazards	70
	Register File	71
	Speicherzugriffe	71
	Weitere strukturelle Hazards	72
4.4.3	Kontrollfluss-Hazards	73
4.4.3.1	Ursache und Auswirkungen der Kontrollfluss-Hazards	73
4.4.3.2	Berechnung der Sprungadresse	73
4.4.3.3	Weiterentwicklung der Verzweigungsbefehle	74
	Delayed-Branch-Befehle	75
	Verzweigungsvorhersage	75
<b>4.5</b>	<b>Unterprogramm sprünge und Ausnahmebehandlung bei Pipelining</b>	<b>78</b>
<b>4.6</b>	<b>Beispielprogramme zur Bestimmung des CPI beim MPM3</b>	<b>79</b>
<b>4.7</b>	<b>Wechselwirkungen zwischen Technologie und Architektur</b>	<b>81</b>
<b>5.</b>	<b>Superskalare Prozessorarchitekturen</b>	<b>85</b>
5.1	Die Beschreibung des Ziels	85
5.2	Programmdarstellung, Abhängigkeiten und parallele Ausführung	86
5.3	Die Mikroarchitektur einer typischen superskalaren CPU	89
5.3.1	Instruction Fetch und Predecode	90
5.3.2	Instruction Decoding, Renaming und Dispatch	91
5.3.3	Instruction Issueing und parallele Ausführung	94
5.3.4	Die Behandlung von Speicherzugriffen	96
5.3.5	Die Commit-Phase der Befehlsausführung	98
5.4	Einige Beispiele für superskalare Architekturen	99
5.4.1	MIPS R10000	100
5.4.2	Alpha 21164	101
5.4.3	Intel Pentium 4	102
<b>6.</b>	<b>Superskalare Rechner und Compiler-Technologie</b>	<b>104</b>
6.1	Warum neue Technologien für Compiler?	104
6.2	Strategien für eine Optimierung auf superskalare Architekturen	105
6.2.1	Kompilierung für Instruction Level Parallelism I: Basiskonzepte	105
6.2.2	Kompilierung für Instruction Level Parallelism II: Loop Unrolling	109
6.2.3	Kompilierung für bedingte Befehle mit Steuerungsbits	111
6.2.4	Generierung von Aussagen zu Speicherabhängigkeiten	116

---

---

<b>10.</b>	<b>Weiterentwicklungen und alternative Modelle</b>	<b>174</b>
<b>10.1</b>	<b>Einführung in Reconfigurable Computing</b>	<b>174</b>
<b>10.2</b>	<b>UCB/UCM-Konzept</b>	<b>179</b>
10.2.1	Einführung in das >S<puter-Prinzip	180
10.2.2	Beispiel für die Realisierung eines >S<puters	183
10.2.3	Der Befehlssatz eines >S<puters	184
10.2.4	Die Bestimmung von Ausführungszeiten	185
10.2.5	Programme für die >S<puter-Architektur	186
10.2.6	Reconfigurable RISC	191
10.2.6.1	Basisarchitektur rRISC	191
10.2.6.2	rRISC Level 2 und 3	193
10.2.6.3	Aufbau und Funktionsweise des Fetch Look-aside Buffers	194
10.2.6.4	Übersetzungsalgorithmus für Code Morphing	195
10.2.6.5	Beispiel für die Funktion des FLAB	196
10.2.6.6	Programmausführung und Simulationsergebnisse	197
10.2.6.7	Schätzung der Flächeneffizienz	198
10.2.7	UCB/UCM-Konzept	200
10.2.7.1	Ausführungsphasen dieses Modells	200
10.2.7.2	Universal Configurable Blocks	201
10.2.7.3	Procedural-driven Structural Programming	202
10.2.7.4	Multicontext-UCB	203
10.2.7.5	Universal Configurable Machine	204
10.2.7.6	Konsequenzen für verschiedene UCM-Typen	205
<b>10.3</b>	<b>XPP-Architektur</b>	<b>206</b>
10.3.1	Hardware-Objekte	206
10.3.2	PAEs und PACs	208
10.3.3	Programmausführung	211
10.3.4	Programmentwicklung	212
10.3.5	Dynamische Rekonfiguration	213
10.4	Der Xputer (Univ. Kaiserslautern)	216
10.4.1	Detailbeschreibung des Xputer	216
10.4.2	Der X-C-Compiler	218
10.4.3	Kurze Bewertung des Xputer-Konzepts	219
	<b>Literaturverzeichnis</b>	<b>220</b>
	<b>Index</b>	<b>222</b>
	<b>tecCHANNEL-Leserumfrage – Mitmachen und gewinnen!</b>	<b>226</b>

---